

## ⑪ 公開特許公報 (A)

昭63-300642

⑤Int.Cl.<sup>4</sup>  
H 04 J 3/07識別記号 庁内整理番号  
6914-5K

⑥公開 昭和63年(1988)12月7日

審査請求 未請求 発明の数 1 (全4頁)

⑦発明の名称 スタッフ多重変換装置のジッタ抑圧方式

⑧特願 昭62-136768

⑨出願 昭62(1987)5月29日

⑩発明者 江越 広弥 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑪出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑫代理人 弁理士 井桁 貞一

## 明細書

## 1.発明の名称

スタッフ多重変換装置のジッタ抑圧方式

## 2.特許請求の範囲

スタッフを施された読み出しクロック (RCLK) から受信側における読み出しクロック (RCLK) と同期の逆転したクロックをフェーズ・ロックド・ループ (PLL) (10) で作り、

該 PLL (10) の出力と低次群入力信号クロック (WCLK) とをジッタ検出器 (13) で位相比較して該低次群入力信号クロック (WCLK) に対するジッタ量を検出し、

該ジッタ量に応じて多重変換用の高次群発振器 (2) の出力発振周波数を制御することを特徴とするスタッフ多重変換装置のジッタ抑圧方式。

## 3.発明の詳細な説明

## (概要)

本発明は、スタッフ多重変換装置において、スタッフ率をジッタ量の少ない点に設定しても、低次群入力周波数が変動した場合スタッ

フ率が変化してジッタ量が増大する従来の問題点を解決するため、

ジッタ量を検出し、これに応じて高次群周波数を変化させてスタッフ率を変化させることにより、

ジッタ量を抑圧し、安定した送信を行ない得るようにしたものである。

## (産業上の利用分野)

本発明は、時分割多重される複数チャンネルの低次群入力信号周波数と時分割多重変換を行なって送信する変換装置の高次群周波数とが非同期である、いわゆるスタッフ多重変換装置に関する。このような装置では後述のようにこの変換方式特有のスタッフジッタが発生し、安定した送信を行ない得ない。そこで、ジッタ量を極力抑圧して安定した送信を行ない得る装置が必要とされる。

## (従来の技術)

第3図は従来装置の一例のブロック図を示す。時分割多重される低次群入力信号は複数チャンネ

Best Available Copy

ルあるが、ここでは図面を簡略化するために例えは第1チャンネルCH<sub>1</sub>についてのみ示す。

一般に、スタッフ多重変換装置のように複数チャンネルの各低次群入力信号のクロック(メモリ1への書き込みクロックWCLK)と高次群発振器2のクロック(多重変換回路3から出力される、メモリ1の読み出しクロックRCLK)とが非同期の場合、各チャンネル低次群入力信号を抜けなく確実に読みためには高次群発振器2のクロック周波数を複数の各チャンネルの低次群入力信号クロック周波数の合計よりもやや高く選定している。ところがこのように選定すると、書き込みクロックWCLKの位相と読み出しクロックRCLKの位相とが次第に合ってきて一つのチャンネルにおいて同じデータを2度読み出すことが出てくる。

そこで、これを防止するために、2度同じデータを読み出してしまうタイミングを検出してそこ部分の読み出しクロックRCLKを抜く。これをスタッフという。一般には、書き込みクロックWCLKと読み出しクロックRCLKとを位相比較器4で

- 3 -

クロックWCLKに対して連続した読み出しクロックRCLKとし、各データを連続して並べ直して低次群出力信号として出力する。

ところで、スタッフは書き込みクロックWCLKと読み出しクロックRCLKとの周波数差によって決まり、差が大きい程スタッフを多く施す。このようなスタッフを施された読み出しクロックRCLKは一般に時間軸変動(スタッフジッタ)を有しており、その量やその周波数は、フレーム(各チャンネルのデータを時分割多道してこれを繰返した一連のデータ群)構成、スタッフ率(何フレームに1回スタッフを施すかの割合)、回路構成等によって変動することが知られている。このスタッフ率とジッタ量との関係は第4図に示す如くであり、ジッタ量はスタッフ率の変化に対してスポット的に多かったり少なかつたりして定まらない。

## (発明が解決しようとする問題点)

一般に、スタッフ率をジッタ量の少ない点(第4図中④)に設定しておくが、このように設定し

位相比較し、両者の位相が合ったことを検出して多重変換回路3を制御してこのタイミングだけ読み出しクロックRCLKを1個抜く。

書き込みクロックWCLKと読み出しクロックRCLKとの位相が合わない部分では上記スタッフを行なうことなく連続した読み出しクロックRCLKで、一方、これらの位相が合った部分では上記スタッフを施された読み出しクロックRCLKで次々メモリ1から各チャンネルの低次群入力信号の各データを読み出し、多重変換回路3で各チャンネルの低次群入力信号(CH<sub>1</sub>, CH<sub>2</sub>, ...)を時分割多重して受信側に送出する。

送信側から送られてきた時分割多重データを受信側の分離回路5で各々のチャンネルのデータに分離し、メモリ6に書き込みクロックWCLKで書き込む。メモリ6からの読み出しの際、書き込みクロックWCLKと読み出しクロックRCLKとを位相比較器7で位相比較し、位相比較誤差信号で読み出し用のクロック発振器8の出力発振周波数を制御する。これにより、スタッフを施された書き込みクロ

- 4 -

ておいても低次群入力信号のクロック(書き込みクロックWCLK)が変動するとスタッフ率が変化し(第4図中④)、ジッタ量が増大して安定した送信を行ない得ない問題点があった。

従って、本発明の目的は、低次群入力信号のクロックの変動によるジッタ量の増大を抑制することにある。

## (問題点を解決するための手段)

第1図は本発明になるスタッフ多重変換装置のジッタ抑圧方式の原理プロック図を示す。同図中、1はメモリ、2は多重変換用高次群発振器、3は多重変換装置、10はPLL、13はジッタ検出器で、以上は送信側の多重変換装置である。一方、5は分離回路、6はメモリで、以上は受信側の分離装置である。

本発明方式は、スタッフを施された読み出しクロックRCLKから受信側における読み出しクロックRCLKと同期の連続したクロックをPLL10で作り、PLL10の出力と低次群入力信号クロ

- 5 -

—242—

- 2 -

- 6 -

ックWCLKとをジッタ検出器13で位相比較して低次群入力信号クロックWCLKに対するジッタ量を検出し、ジッタ量に応じて高次群発振器2の出力発振周波数を制御する。

#### (作用)

第1図において、多重変換回路3からメモリ1への読み出しクロック(RCLK)をPLL10に供給し、受信側における多重分離後のメモリ6からの読み出しクロック(RCLK)(低次群出力信号クロック)と同期の逆続したクロックを作る。低次群入力信号クロック(メモリ1への書き込みクロック(WCLK))に対するPLL10出力クロックのジッタ量をジッタ検出器13で検出し、ジッタ量が少なくなる様に高次群発振器2の出力発振周波数を制御する。

#### (実施例)

第2図は本発明方式の一実施例のブロック図を示し、同図中、第3図と同一構成部分には同一番

号を付してその説明を省略する。同図において、PLL10は位相比較器11及び電圧制御発振器(VCO)12にて構成されており、スタッフを施された読み出しクロックRCLKから逆続したクロック(実質的には受信側における読み出しクロックRCLKと同じもの)をVCO12の出力で作る。13はジッタ検出器で、PLL10の出力と書き込みクロックWCLKとを位相比較し、比較誤差信号にて高次群発振器2の出力発振周波数を制御する。

同図において、メモリ1の読み出しクロックRCLKをPLL10の位相比較器11に供給し、VCO12の出力と位相比較を行なってその比較誤差信号にてVCO12の出力発振周波数を制御する。これにより、スタッフを施された読み出しクロックRCLKは実質的に受信側における読み出しクロックRCLKと同じ逆続したクロックとされる。この逆続したクロックはスタッフジッタを含む。

VCO12の出力クロックとメモリ1の書き込みクロックWCLKとをジッタ検出器13にて位相

- 7 -

比較し、これにより、VCO12の出力に含まれる、低次群入力信号クロック(書き込みクロックWCLK)に対するジッタを検出する。このジッタ量に応じて高次群発振器2の出力発振周波数を制御し、スタッフ率を変化させる。この場合、ジッタ量が少くなるように制御される。従って、低次群入力信号クロックが変動しても、それに追従してスタッフ率が変化し、メモリ1の読み出しクロックRCLKはジッタを抑圧されたクロックとなり、安定した送信を行ない得る。

#### (発明の効果)

本発明によれば、低次群入力信号クロックが変動してもジッタ量の増大を抑圧し得、安定した送信を行ない得、もって受信側における多重分離後の低次群出力信号を安定に得ることができる。

#### 4. 図面の簡単な説明

- 第1図は本発明の原理ブロック図、
- 第2図は本発明の一実施例のブロック図、
- 第3図は従来のブロック図、

- 8 -

第4図はスタッフ率対ジッタ量特性図である。

図において、

- 1, 6はメモリ、
- 2は高次群発振器、
- 3は多重変換回路、
- 4, 7, 11は位相比較器、
- 5は分離回路、
- 8は発振器、
- 10はフェーズ・ロックド・ループ(PLL)、
- 12は電圧制御発振器(VCO)、
- 13はジッタ検出器である。

代理人 弁理士 井桁貞一

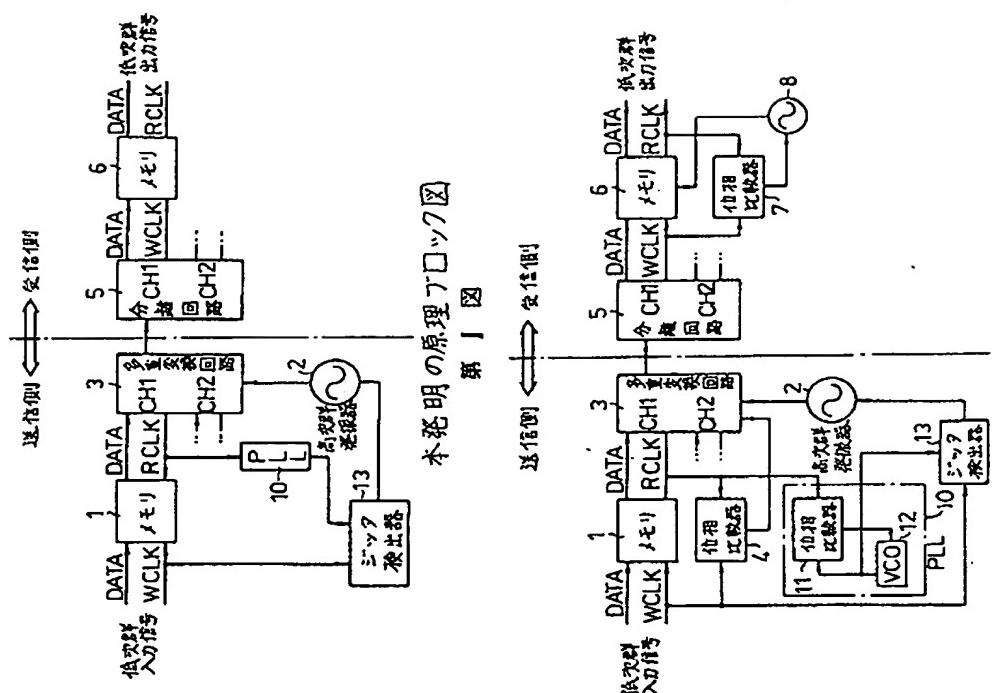


- 9 -

- 10 -

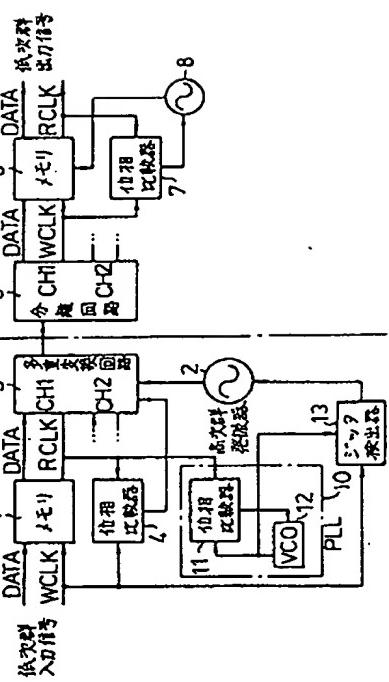
# Best Available Copy

第 1 図  
本発明の原理ブロック図



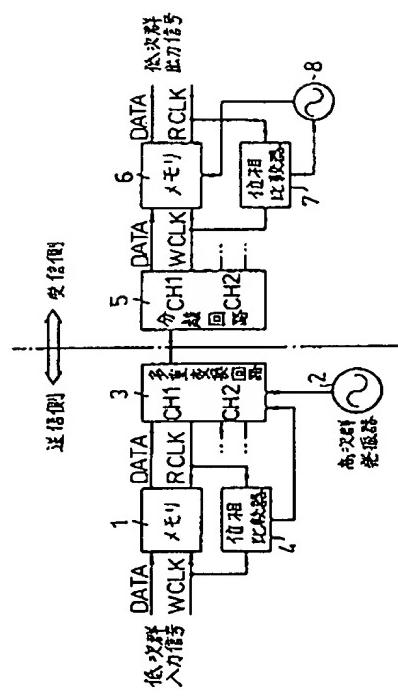
第 1 図  
本発明の原理ブロック図

第 2 図

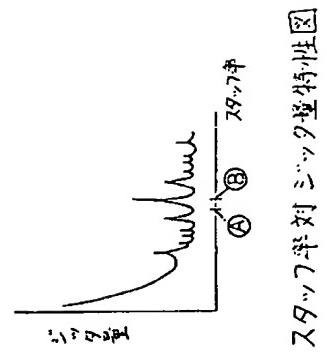


第 2 図  
本発明の一実施例のブロック図

従来のブロック図  
第 3 図



従来のブロック図



従来のブロック図  
第 4 図